

MANUFACTURE OF SEMICONDUCTOR DEVICE

IN TAKAHASHI KUNIHIRO  
PA SEIKO INSTR INC, JP (CO 000232)  
PI JP04025176-A 19920128 Heisei  
AI JP1990-129767 (JP02129767 Heisei) 19900518  
SO PATENT ABSTRACTS OF JAPAN, Unexamined Applications, Section: E. Sect.  
No. 1198, Vol. 16, No. 168, P. 125 (19920507)  
IC ICM (5) H01L029-784  
ICS (5) H01L021-265; (5) H01L021-28; (5) H01L029-62  
CC 42.2 ELECTRON - Solid state component  
CT R097 ELECTRONIC MATERIAL - MOS (Insulated gate type element)  
R100 ELECTRONIC MATERIAL - Ion implantation  
AB PURPOSE: To restrain polycrystalline silicon grains from growing in a thermal process by a method wherein impurities such as nitrogen, fluorine, argon, silicon, germanium, or the like are introduced into polycrystalline silicon through an ion implantation method before P-type impurity ions are implanted.  
CONSTITUTION: When a polycrystalline silicon 13 formed of P-type impurities is used as the gate electrode of a P-type MIS transistor, one or more elements selected from impurities such as nitrogen, fluorine, argon, silicon, germanium, and the like are introduced into the polycrystalline silicon 13 through an ion implantation method before P-type impurities such as boron or the like are introduced into the silicon 13. That is, by introducing the impurities concerned into the polycrystalline silicon 13, the polycrystalline silicon 13 grains are restrained from growing in a thermal process which is carried out for the formation of the P-type MIS transistor. By this setup, P-type impurities are prevented from diffusing along grains in polycrystalline silicon, so that a gate electrode stable in transistor characteristics can be obtained.

16  
◎日本国特許庁(JP) ◎特許出願公開  
◎公開特許公報(A) 平4-25176

◎Int.Cl.<sup>3</sup> 識別記号 衆内整理番号 ◎公開 平成4年(1992)1月28日  
H 01 L 29/784 301 A 7738-4M  
21/285 7738-4M  
21/28 8422-4M  
28/62 7738-4M H 01 L 29/78 301 G  
21/265 P  
審査請求 未請求 請求項の数 1 (全4頁)

◎発明の名称 半導体装置の製造方法

◎特 願 平2-129767  
◎出 願 平2(1990)5月18日

◎発明者 高橋 邦博 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

◎出願人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

◎代理人 弁理士 林 敬之助

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

山P型MISトランジスタ(後述 治縫膜、半導体トランジスタ)のゲート電極をP型不純物を導入した多結晶シリコンで形成する半導体装置の形成方法において、P型不純物をイオン注入あるいは化学的堆積法により多結晶シリコンに導入する前に、チタニウム、フッ素、アルゴン、シリコン、ケルマニウム等の不純物の何れか1つ又は複数の不純物をイオン注入又は化学的堆積法により多結晶シリコン中へ導入することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(基準上の利用分野)

本発明は半導体装置の製造方法に関するものである。

(発明の概要)

P型MISトランジスタのゲート電極としてP型不純物から成る多結晶シリコンを使う場合、チタニウム等のP型不純物を多結晶シリコンに導入する前に、チタニウム、フッ素、アルゴン、シリコン、ケルマニウム等の何れか1つ又は複数の不純物をイオン注入あるいは化学的堆積法により多結晶シリコン中へ導入しておく。

多結晶シリコン中へこれらの不純物を導入すると、多結晶シリコン中へP型不純物を導入した後、MISトランジスタ形成までに繰る熟工程による多結晶シリコンのグレインの成長が抑制される。この結果、多結晶シリコン中のグレインに沿うP型不純物の拡散が抑制され、P型不純物がMISトランジスタの治縫膜を通過し、シリコン表面にまで達することが抑制される。その結果、スレッシュホールド電圧の変動、トランジスタ特性の不安定性のないP型不純物を導入した多結晶シリコンをゲート電極として持つP型MISトランジスタを得ることができる。

## 〔従来の技術〕

P型不純物を導入した多結晶シリコンをM1Sトランジスタのゲート電極として使う場合、通常、多結晶シリコン中へP型不純物（最も一般的にはボロン）をイオン注入又は化学的拡散法で導入していた。導入後、M1Sトランジスタが形成されるまでに複数回の熱処理を経る。それらの熱工程により多結晶シリコンのグレインは成長し、大きいものはミクロン程度にまで成長する。

熱と同時に従来のP型不純物から成る多結晶シリコンがゲート電極とするM1Sトランジスタの横は均一な寸幅を持つ板の断面構造を示す。21はP型半導体シリコン基板、22はゲート酸化膜、23はゲート電極となる多結晶シリコン膜、24は多結晶シリコンのグレイン、25の太い線はグレインの境界を示す。グレインが非常に大きく成長しているのが分かる。多結晶シリコン中へ導入された不純物は、熱工程に入り抜ける場合、多くはグレインの境界25に沿って伝播していく。グレインが大きくなればなる程、グレインの境界は近い距離で

多結晶シリコンの表面から下面に到達し、不純物の多結晶シリコン中の拡散が容易となる。

又、M1Sトランジスタの代表的な構造である金属性酸化膜・半導体(MOS)トランジスタの場合、ボロンは酸化膜中でも拡散し、ゲート電極となる多結晶シリコン中にあるP型不純物のボロンは酸化膜を通過し、第2回におけるシリコン表面26にまで容易に到達する。その結果、スレッヒルド電圧が変動し難い、あるいは不安定なトランジスタ特性を持つM1Sトランジスタになると想定されていた。

## 〔発明が解決しようとする課題〕

前記した従来の欠点を改善するため、P型不純物のボロンが多結晶シリコン中で導入に際して、本発明はM1Sトランジスタが形成されるまでに導入多くの熱工程によつても多結晶シリコンのグレインの成長を抑制することを目的としたものである。以下、問題を認識し、本発明の詳細を説明する。

## 〔課題を解くための手段〕

- 3 -

M1Sトランジスタのゲート電極となる多結晶シリコンにP型不純物をイオン注入あるいは化学的拡散法により多結晶シリコンに導入する前に、チタニウム、タンタル、アルミニウム、シリコン、ゲルマニウム等の不純物の何れかひとつ又は複数の不純物をイオン注入又は化学的拡散法により多結晶シリコン中へ導入する。

## 〔作用〕

M1Sトランジスタが形成されるとまで極る多くの熱工程によってし、それらの不純物を多結晶シリコン中へ導入することにより、多結晶シリコン中のグレインの成長を抑制することができる。セラミック、多結晶シリコン中のP型不純物ボロンの位置を抑制し、更にゲート酸化膜中を通過してM1Sトランジスタのチャネル領域へのボロンの侵入を防ぐことができる。

## 〔実施例〕

第1回図～第4回図に、本発明の半導体製造の製造方法の実施例を示す。第1回図において11は半導体シリコン基板、12はゲート酸化膜となる酸化膜、

- 4 -

13はゲート電極となる多結晶シリコン膜を表わす。まず半導体シリコン基板11中へ型第14のイオン注入を行う。イオン注入直後の空素の分布が、ゲート酸化膜12やシリコン基板11には差しないようだす。次に第1回図に示すように、多結晶シリコンゲート電極をP型化するため、ボロン15をイオン注入する。更に、第1回図に示すようにフィトリソグラフィ工場により多結晶シリコンの一部をエッチングし、ゲート電極16が形成する。

なお、多結晶シリコン中へボロンをイオン注入する前に、イオン注入又は化学的拡散法で多結晶シリコン中へ導入する不純物は、既記した空素以外にチタニウム、アルミニウム、シリコン、ゲルマニウム等の何れか又はそれらの複数の組み合せでも良い。

ボロンのイオン注入前、多結晶シリコン中に空素、チタニウム、アルミニウム等の不純物を導入すると、それらの不純物を導入しない場合におけるグレイン24（第2回）に比べ、トランジスタ形成までにかかる熱工程による多結晶シリコンのグレイン17

(第1図)の成長は抑えられる。グレイン17が小さいと、不純物の多結晶シリコンの拡散は抑えられる。このため、電界やフッ素をボロンのイオン注入前に多結晶シリコン中へ導入しておくと、熱処理による多結晶シリコン中のボロンの拡散が抑えられ、ひいてはゲート絶縁膜中を通過し、ドライブMOSトランジスタのチャネル領域(第1図(c))へのボロンの拡散が抑制される。

#### (発明の効果)

以上、詳細に説明したように、本発明の半導体装置の製造方法においては、熱処理による多結晶シリコンのグレイン成長を抑え、ボロンの多結晶シリコン中の拡散を抑え、その結果、ボロンのゲート絶縁膜での拡散も抑え、MOSトランジスタのチャネル領域への侵入を防ぐ効果を有する。

このため、スレンシ・ルド電圧の変動が少ない、しかも安定なトランジスタ特性を持つ、Y型不純物から成る多結晶シリコンをゲート電極としてN型MOSトランジスタを得ることができると大きな効果を持っている。

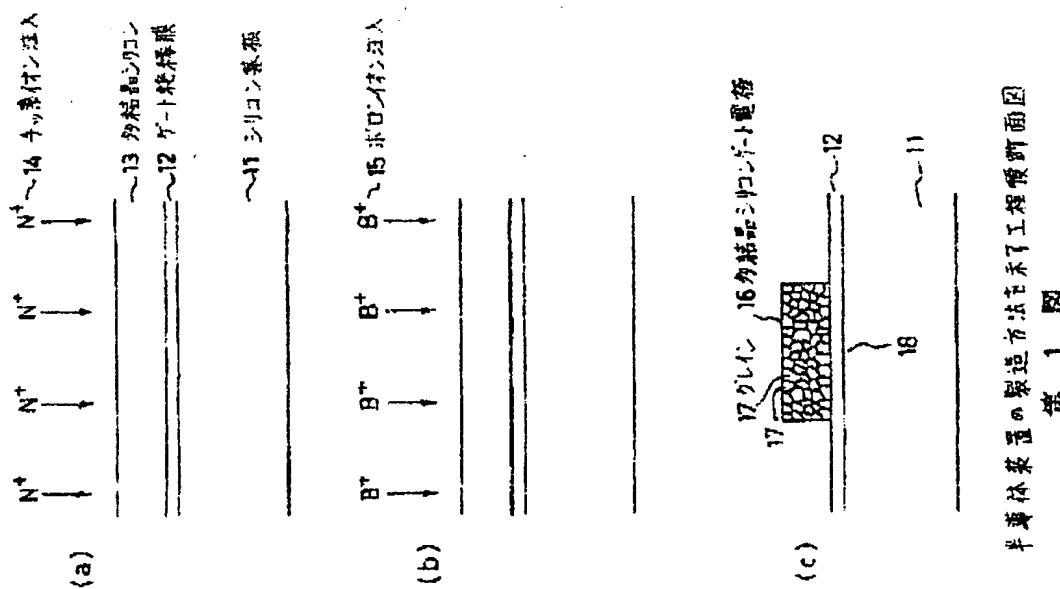
#### 4. 図面の簡単な説明

第1回向～図は本発明の半導体装置の製造方法を示す工程順断面図、第2回は従来の半導体装置の断面図である。

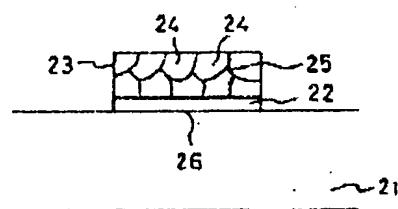
- 11. ～半導体基板
- 12. ～ゲート絶縁膜
- 13. ～多結晶シリコン
- 14. ～チャネルイオン注入
- 15. ～ボロンイオン注入
- 17. ～グレイン

以上

出願人 セイコー電子工業株式会社  
代理人 弁護士 林 鮎之助



半導体装置の製造方法を示す工程順断面図  
第1回



従来の半導体装置の断面図  
第 2 図